

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267645

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H01L 41/08
G01J 1/02
G01P 15/09
H01L 37/02
H01L 41/18
H01L 41/22

(21)Application number : 2000-072758

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 15.03.2000

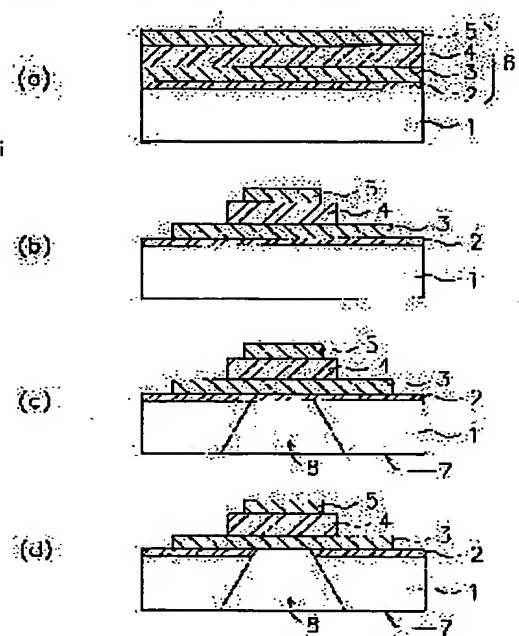
(72)Inventor : RI KOUMIN
TANAKA KATSUHIKO

(4) FERROELECTRIC THIN FILM ELEMENT, SENSOR AND METHOD OF MANUFACTURING FERROELECTRIC THIN FILM ELEMENT

(7)Abstract:

PROBLEM TO BE SOLVED: To provide a small ferroelectric thin film element which has a superior performance and is easy to process cheaply, a sensor using the same and a method of manufacturing the ferroelectric thin film element.

SOLUTION: Buffer layers are formed on an Si substrate, thereby orienting or epitaxially growing metal thin films and ferroelectric thin films through the buffer layers one after another, and the Si substrate and buffer layers are partly removed to form a small ferroelectric thin film element having a superior performance using various etching techniques.



LEGAL STATUS

Date of request for examination] 22.01.2002

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Date of final disposal for application]

Patent number] 3514207

Date of registration] 23.01.2004

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-267645
(P2001-267645A)

(43)公開日 平成13年9月28日(2001.9.28)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 41/08		G 0 1 J 1/02	Y 2 G 0 6 5
G 0 1 J 1/02		G 0 1 P 15/09	
G 0 1 P 15/09		H 0 1 L 37/02	
H 0 1 L 37/02		41/08	D
41/18			Z

審査請求 未請求 請求項の数14 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-72758(P2000-72758)

(22)出願日 平成12年3月15日(2000.3.15)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 李 効民

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72)発明者 田中 克彦

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

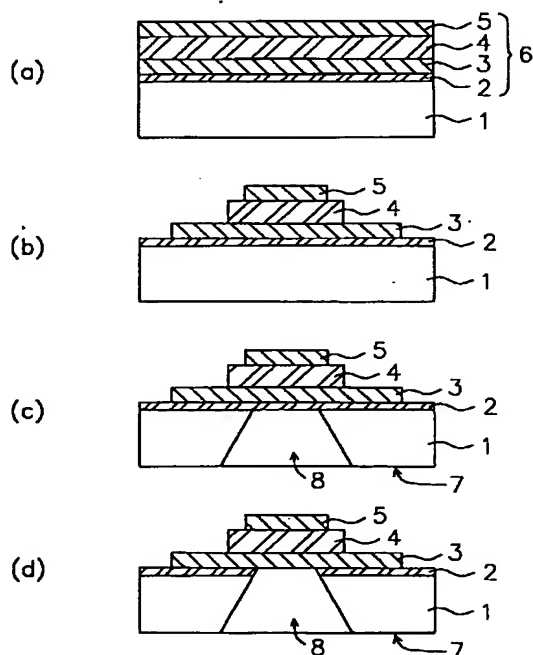
Fターム(参考) 2G065 AB02 BA02 BA13 BA14 DA20

(54)【発明の名称】 強誘電体薄膜素子ならびにセンサ、および強誘電体薄膜素子の製造方法

(57)【要約】

【課題】小型で優れた性能を有し、かつ、安価で加工が容易な強誘電体薄膜素子およびそれを用いたセンサとその製造方法を提供する。

【解決手段】S i 基板上にバッファ層を形成することによって、これらのバッファ層を介して金属薄膜と強誘電体薄膜を順次、配向またはエピタキシャル成長させ、続いて各種エッチング技術を用いてS i 基板やバッファ層を部分的に除去することによって小型で優れた性能を有する強誘電体薄膜素子を形成する。



【特許請求の範囲】

【請求項1】Si基板と、Si基板上に形成された薄膜積層体とを有する強誘電体薄膜素子であって、前記薄膜積層体は、Si基板上にエピタキシャル成長したバッファ層と、バッファ層上にエピタキシャル成長した金属薄膜からなる下部電極と、下部電極上に配向成長またはエピタキシャル成長した強誘電体薄膜と、強誘電体薄膜上に形成された上部電極とを有し、前記薄膜積層体の一部は、前記Si基板から浮かせるように配置されていることを特徴とする強誘電体薄膜素子。

【請求項2】前記薄膜積層体は、前記薄膜積層体の下部に位置する前記Si基板の一部をエッチング除去して、前記Si基板に凹部または貫通孔を設けることによって、前記Si基板から浮かせるように配置されていることを特徴とする、請求項1に記載の強誘電体薄膜素子。

【請求項3】前記薄膜積層体は、前記バッファ層の一部をエッチング除去することによって、前記Si基板から浮かせるように配置されていることを特徴とする、請求項1に記載の強誘電体薄膜素子。

【請求項4】前記薄膜積層体は、前記Si基板の前記凹部または前記貫通孔の上部に位置する前記バッファ層の少なくとも一部をさらにエッチング除去することによって、前記Si基板から浮かせるように配置されていることを特徴とする、請求項2に記載の強誘電体薄膜素子。

【請求項5】前記バッファ層は、 MgO 層、 $Ti_{1-x}Al_xN$ 層（ただし、 x が0以上0.4以下）、 YSZ 層の少なくとも一層からなることを特徴とする、請求項1ないし請求項4のいずれかに記載の強誘電体薄膜素子。

【請求項6】前記下部電極は、 Ir 、 Rh 、 Pt 、 $SrRuO_3$ 、 $(La, Sr)CoO_3$ のいずれかからなることを特徴とする、請求項1ないし請求項5のいずれかに記載の強誘電体薄膜素子。

【請求項7】前記強誘電体薄膜は、一般式 ABO_3 （ただし、 $A=Ba, Pb, La$ のうちの少なくとも1種、 $B=Ti, Zr, Mg, Nb, Zn$ のうちの少なくとも1種）で示されるペロブスカイト型化合物からなることを特徴とする、請求項1ないし請求項6のいずれかに記載の強誘電体薄膜素子。

【請求項8】請求項1ないし請求項7のいずれかに記載の強誘電体薄膜素子を用いて形成されたセンサ。

【請求項9】Si基板と、Si基板上に形成され、一部が前記Si基板から浮かせるように配置された薄膜積層体とを有する、強誘電体薄膜素子の製造方法であって、Si基板上にバッファ層をエピタキシャル成長させる工程と、バッファ層上に金属薄膜をエピタキシャル成長させて下部電極を形成する工程と、下部電極上に強誘電体薄膜を配向成長またはエピタキシャル成長させる工程と、強誘電体薄膜上に上部電極を形成する工程と、前記薄膜積層体の下部に位置する前記Si基板の一部を

エッチング除去して、前記Si基板に凹部または貫通孔を設けることによって、前記薄膜積層体を前記Si基板から浮かせる工程とを有してなる強誘電体薄膜素子の製造方法。

【請求項10】Si基板と、Si基板上に形成され、一部が前記Si基板から浮かせるように配置された薄膜積層体とを有する、強誘電体薄膜素子の製造方法であって、

Si基板上にバッファ層をエピタキシャル成長させる工程と、バッファ層上に金属薄膜をエピタキシャル成長させて下部電極を形成する工程と、下部電極上に強誘電体薄膜を配向成長またはエピタキシャル成長させる工程と、強誘電体薄膜上に上部電極を形成する工程と、前記バッファ層の一部をエッチング除去することによって、前記薄膜積層体を前記Si基板から浮かせる工程とを有してなる強誘電体薄膜素子の製造方法。

【請求項11】さらに、前記Si基板の前記凹部または前記貫通孔の上部に位置する前記バッファ層の少なくとも一部をエッチング除去することによって、前記薄膜積層体を前記Si基板から浮かせる工程とを有してなる、請求項9に記載の強誘電体薄膜素子の製造方法。

【請求項12】前記バッファ層は、 MgO 層、 $Ti_{1-x}Al_xN$ 層（ただし、 x が0以上0.4以下）、 YSZ 層の少なくとも一層からなることを特徴とする、請求項9ないし請求項11のいずれかに記載の強誘電体薄膜素子の製造方法。

【請求項13】前記下部電極は、 Ir 、 Rh 、 Pt 、 $SrRuO_3$ 、 $(La, Sr)CoO_3$ のいずれかからなることを特徴とする、請求項9ないし請求項12のいずれかに記載の強誘電体薄膜素子の製造方法。

【請求項14】前記強誘電体薄膜は、一般式 ABO_3 （ただし、 $A=Ba, Pb, La$ のうちの少なくとも1種、 $B=Ti, Zr, Mg, Nb, Zn$ のうちの少なくとも1種）で示されるペロブスカイト型化合物からなることを特徴とする、請求項9ないし請求項13のいずれかに記載の強誘電体薄膜素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Si基板上に薄膜形成技術を用いて形成した強誘電体薄膜素子、ならびにそれを用いたセンサ、およびそれらの製造方法に関する。

【0002】

【従来の技術】近年、強誘電体を用いた素子に対する需要が急速に高まっている。強誘電体薄膜素子の圧電性を利用した加速度センサや、強誘電体薄膜素子の焦電性を利用した焦電型赤外線センサ等が主に実用化されているが、従来方式に比べさらに小型で信頼性の高い新しいセンサが切望されている。

【0003】センサの小型化を図るためには、内蔵され

る素子の小型化を図ることが必要である。しかし、既存の強誘電体薄膜素子（圧電素子や焦電素子）は、強誘電体セラミックを焼結、成型、加工したものがほとんどで、小型化ならびに高感度化が図られているものの、従来技術の延長線上ではさらなる小型化の要求を満たすことは困難であった。

【0004】そこで、新しい手法として、薄膜形成技術を用いて半導体基板上に強誘電体薄膜や電極用金属薄膜の積層薄膜からなる検出部分を直接形成し、微細加工技術を用いて検出部分をダイヤフラム構造や、中空構造、片持梁構造に加工した、半導体基板と一体化したモノリシックな素子の開発が望まれている。このように検出部分を薄膜化することによって小型化が図られるだけでなく、同一の半導体基板上に検出部分や回路部分をまとめて形成することができ、強誘電体薄膜素子のさらなる小型化が可能となる。また、とりわけ残留分極が大きく圧電性や焦電性に優れた $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ （以下、 PZT と略称する）、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ （以下、 PLZT と略称する）薄膜を基板上に配向成長あるいはエピタキシャル成長させることによって、より大きな分極値を得て素子の高性能化を図る試みがなされている。

【0005】

【発明が解決しようとする課題】しかしながら、上述のような半導体基板と一体化したモノリシックな強誘電体薄膜素子を開発するにあたっては次のような問題があった。すなわち、薄膜形成技術を用いて基板上に配向性の良好な強誘電体薄膜を形成するには技術的な難点があった。また、エッチング等の微細加工技術も確立されていないという問題があった。

【0006】また、単結晶 MgO 基板上に、強誘電体薄膜や金属薄膜からなる検出部分を形成した強誘電体薄膜素子が提案されているが、 MgO 基板は高価であり、また加工が困難であるという問題があった。

【0007】そこで本発明は、半導体基板上に優れた配向性を有する強誘電体薄膜を形成する技術と、基板や金属薄膜、強誘電体薄膜に対する各種エッチング技術を用いることにより、小型で優れた性能を有し、かつ、安価で加工が容易な強誘電体薄膜素子およびそれを用いたセンサを形成することを目的とする。

【0008】

【課題を解決するための手段】本発明者らは、鋭意研究を重ねた結果、 MgO や $\text{Ti}_{1-x}\text{Al}_x\text{N}$ （ただし、 x が0以上0.4以下）、 YSZ 等からなるバッファ層を形成することによって、これらのバッファ層を介して半導体基板である Si 基板上に金属薄膜と強誘電体薄膜を順次、配向またはエピタキシャル成長させることを見出した。そして、各種エッチング技術を用いて Si 基板やバッファ層を部分的に除去し、ダイヤフラム構造や、中空構造、片持梁構造を形成することによって本発明を完

成させるに至った。

【0009】そこで本発明は、 Si 基板と、 Si 基板上に形成された薄膜積層体を有する強誘電体薄膜素子であって、薄膜積層体は、 Si 基板上にエピタキシャル成長したバッファ層と、バッファ層上にエピタキシャル成長した金属薄膜からなる下部電極と、下部電極上に配向成長またはエピタキシャル成長した強誘電体薄膜と、強誘電体薄膜上に形成された上部電極とを有し、薄膜積層体の一部は、前記 Si 基板から浮かせるように配置されていることを特徴とする。

【0010】薄膜積層体は、薄膜積層体の下部に位置する Si 基板の一部をエッチング除去して、 Si 基板に凹部または貫通孔を設けることによって、 Si 基板から浮かせるように配置することができる。また、薄膜積層体は、バッファ層の一部をエッチング除去することによって、 Si 基板から浮かせるように配置してもよい。さらに、薄膜積層体は、 Si 基板の凹部または貫通孔の上部に位置するバッファ層の少なくとも一部をエッチング除去することによって、 Si 基板から浮かせるように配置してもよい。

【0011】このように本発明では、適当な材料からなるバッファ層を形成することで、 Si 基板上に金属薄膜や強誘電体薄膜を配向またはエピタキシャル成長させることができ、小型で優れた性能を有する強誘電体薄膜素子の形成が容易に実現できる。また、 Si 基板やバッファ層の一部を微細加工技術を用いてエッチング除去することで、金属薄膜や強誘電体薄膜等からなる薄膜積層体を Si 基板から浮かせることができ、強誘電体薄膜素子の検出部分をダイヤフラム構造や、中空構造、片持梁構造に容易に加工することが可能になる。

【0012】上記バッファ層は、 MgO 層、 $\text{Ti}_{1-x}\text{Al}_x\text{N}$ 層（ただし、 x が0以上0.4以下）、 YSZ 層の少なくとも一層からなることが望ましい。これらの材料は、 Si 基板上にエピタキシャル成長させることによって、その上に下部電極をエピタキシャル成長させることが容易になるためである。

【0013】また、上記下部電極は、 Ir 、 Rh 、 Pt 、 SrRuO_3 、 $(\text{La}, \text{Sr})\text{CoO}_3$ のいずれかからなることが望ましい。これらの材料は、上記バッファ層上にエピタキシャル成長させることによって、その上に強誘電体薄膜を配向成長またはエピタキシャル成長させることが可能となるためである。

【0014】さらに、上記強誘電体薄膜は、一般式 ABO_3 （ただし、 $\text{A}=\text{Ba}$ 、 Pb 、 La のうちの少なくとも1種、 $\text{B}=\text{Ti}$ 、 Zr 、 Mg 、 Nb 、 Zn のうちの少なくとも1種）で示されるペロブスカイト型化合物からなることが望ましい。これらの強誘電体は、基板上に配向成長またはエピタキシャル成長させることで大きな分極値を得ることができ、強誘電体薄膜素子の優れた誘電体特性を実現することができるためである。

【0015】上記強誘電体薄膜素子は、加速度センサや焦電型赤外線センサ等の各種センサに用いることができ、さらに小型で信頼性の高い新しいセンサの実現を可能にする。

【0016】

【発明の実施の形態】【第1実施例】本実施例では、ダイヤフラム構造を有する強誘電体薄膜素子、およびその製造方法について、図1を用いて説明する。図1は本実施例のダイヤフラム構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【0017】まず、図1(a)に示すような薄膜積層体6を基板上に形成する。1はSi基板を示し、薄膜積層体6は、Si基板1上にエビタキシャル成長したバッファ層2、バッファ層2上にエビタキシャル成長した下部電極3、下部電極3上にエビタキシャル成長した強誘電体薄膜4、強誘電体薄膜4上に形成された上部電極5とからなる。

【0018】それぞれの薄膜の形成方法は特に限定されることはないが、本実施例では、まず、Si基板1としてSi(001)単結晶基板を用意し、このSi基板1に、レーザー蒸着装置(Pulsed Laser Deposition(PLD)装置)を用いて、500~650℃の温度で、厚さ約30~100nmのMgO薄膜からなるバッファ層2を形成する。得られたMgO薄膜はエビタキシャル膜となる。

【0019】続いて、同じくレーザー蒸着装置(Pulsed Laser Deposition(PLD)装置)を用いて、バッファ層2であるMgO薄膜上に、500~650℃の温度で、厚さ約100~200nmのIr薄膜からなる下部電極3を形成する。このとき、Irの格子長はMgOの格子長と非常に近い値をしており、得られるIr薄膜はMgO薄膜上にエビタキシャル成長する。

【0020】このようにして得られたエビタキシャルIr薄膜上に、CVD法を用いて、600~700℃の温度で、厚さ約500~1000nmのPZT薄膜からなる強誘電体薄膜4を形成する。得られたPZT薄膜はエビタキシャル膜となる。

【0021】このPZT薄膜上に、スパッタリング法を用いて、室温で厚さ約100~2000nmのIr薄膜からなる上部電極5を形成する。

【0022】次に、図1(b)に示すように、上部電極5、強誘電体薄膜4、下部電極3を順次エッチング加工する。具体的には、まず所望のパターンを有するフォトリソを上部電極5上に形成し、熱王水を用いて上部電極5であるIr薄膜の不要部分をエッチング除去する。次に、同様に所望のパターンを有するフォトリソを上部電極5を含む強誘電体薄膜4上に形成し、イオンエッチングを用いて強誘電体薄膜4であるPZT薄膜の不要部分をエッチング除去する。次に、同様に所望のパターンを有するフォトリソを上部電極5、強誘電

体薄膜4を含む下部電極3上に形成し、イオンエッチングを用いて下部電極3であるIr薄膜の不要部分をエッチング除去する。

【0023】続いて、図1(c)に示すように、Si基板1の薄膜積層体6が形成されている面の反対面側7にフォトリソを形成し、TMAHを用いて反対面側7からSi基板1の異方性エッチングを行う。そして、上記エッチングにより加工を行った下部電極3、強誘電体薄膜4、および上部電極5に対応する部分にバッファ層2まで達する貫通孔8を形成する。

【0024】最後に、バッファ層2の貫通孔8に対応する部分を熱りん酸を用いてエッチング除去し、薄膜積層体6が貫通孔8の上部において浮かせるように配置されたダイヤフラム構造を有する強誘電体薄膜素子が完成する。

【0025】なお、上述の実施例では基板としてSi(001)単結晶基板を用いたが、これに限らずSi(111)、Si(110)等の基板を使用してもよい。また、上述の実施例ではPulsed Laser Deposition(PLD)装置を用いてバッファ層2と下部電極3を形成したが、これに限らず、イオンビーム蒸着法、イオンビームスパッタリング法、電子ビーム蒸着法、分子線エビタキシー法(MBE法)、および化学蒸着法(CVD法)等の方法を用いて薄膜を形成してもよい。

【0026】また、本実施例においては、エビタキシャル成長させた下部電極3上に、エビタキシャル成長させた強誘電体薄膜4を形成したが、これに限らず、1軸以上の高い配向性を有する強誘電体薄膜を同様に下部電極3上に形成してもよい。

【0027】さらに、本実施例においては、下部電極3、強誘電体薄膜4、および上部電極5のエッチングを先に行ってから、Si基板1のエッチングを行ったが、順序を逆にしてもよい。

【0028】バッファ層2としてはMgO薄膜を用いたが、これに限定されるものではなく、Si基板1上にエビタキシャル成長させることができ、さらにその上に下部電極3をエビタキシャル成長させることが可能であれば、 $Ti_{1-x}Al_xN$ (ただし、 x が0以上0.4以下)薄膜や、YSZ薄膜等を用いることもできる。

【0029】下部電極3としてはIr薄膜を用いたが、これに限定されるものではなく、バッファ層2上にエビタキシャル成長させることができ、さらにその上に強誘電体薄膜4を配向成長またはエビタキシャル成長させることが可能であれば、Rh、Pt、 $SrRuO_3$ 、(La、Sr) CoO_3 等を用いることもできる。

【0030】強誘電体薄膜4としては、強誘電体のなかでもとりわけ残留分極が大きく、圧電性や焦電性に優れたPZT薄膜を用いたが、これに限定されるものではなく、同様に圧電性や焦電性に優れたPLZT薄膜を形成してもよい。また、PZTやPLZTだけでなく、一般

式ABO、(ただし、A=Ba, Pb, Laのうちの少なくとも1種、B=Ti, Zr, Mg, Nb, Znのうちの少なくとも1種)で示されるペロブスカイト型化合物薄膜を形成しても良い。これらの化合物は、配向成長またはエピタキシャル成長させることで大きな分極値を得ることができ、誘電体素子の性能の向上を図ることができるためである。

【0031】[第2実施例]本実施例では、中空構造を有する強誘電体薄膜素子、およびその製造方法について、図2を用いて説明する。図2は本実施例の中空構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【0032】まず、図2(a)に示すような薄膜積層体6を基板上に形成する。本実施例では、バッファ層2の一部をエッチング除去して除去部分を中空構造とするため、バッファ層2を厚さ約1~10μmに厚く形成するが、それ以外の構造および製造方法は第1実施例と変わるところはないのでその説明を省略する。続いて、図2(b)に示すように、上部電極5、強誘電体薄膜4、下部電極3を順次エッチング加工する。加工方法は第1実施例と変わるところはないのでその説明を省略する。

【0033】次に、図2(c)に示すように、バッファ層2の一部をエッチング除去して除去部分を中空構造を形成する。具体的には、下部電極3をエッチングした際のフォトリソを引き続き用い、熱りん酸を用いて下部電極3の開口部9を介してバッファ層2をエッチング除去して、上記エッチング加工を行った下部電極3、強誘電体薄膜4、および上部電極5に対応する部分のバッファ層2に凹部10を形成する。このようにして、バッファ層2を除く薄膜積層体6が凹部10の上部において浮かせるように配置された中空構造を有する強誘電体薄膜素子が完成する。

【0034】[第3実施例]本実施例では、中空構造を有する強誘電体薄膜素子、およびその製造方法について、図3を用いて説明する。図3は本実施例の中空構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【0035】まず、図3(a)に示すような薄膜積層体6を基板上に形成する。薄膜積層体6の構造および製造方法は第1実施例と変わるところはないのでその説明を省略する。続いて、図3(b)に示すように、上部電極5、強誘電体薄膜4、下部電極3を順次エッチング加工するが、これらの加工方法は第1実施例と変わるところはないのでその説明を省略する。

【0036】次に、図3(c)に示すように、バッファ層2の一部をエッチング除去する。具体的には、下部電極3をエッチングした際のフォトリソを引き続き使用し、熱りん酸を用いてバッファ層2をエッチングする。本実施例では、バッファ層2は薄く形成されているため、この状態では、第2実施例のように上記エッチン

グ加工を行った下部電極3、強誘電体薄膜4、および上部電極5に対応する部分のバッファ層2に凹部が形成され、中空構造となることはない。

【0037】そこで、続いて図3(d)に示すように、Si基板1の一部をエッチング除去して除去部分に中空構造を形成する。具体的には、下部電極3およびバッファ層2をエッチングした際のフォトリソを引き続き使用し、熱りん酸を用いて下部電極3およびバッファ層2の開口部11を介してSi基板1をエッチングすることで、上記エッチング加工を行った下部電極3、強誘電体薄膜4、および上部電極5に対応する部分のSi基板1に凹部12を形成する。このようにして、薄膜積層体6が凹部12の上部において浮かせるように配置された中空構造を有する強誘電体薄膜素子が完成する。

【0038】[第4実施例]本実施例では、第1実施例~第3実施例において形成した強誘電体薄膜素子をさらにエッチング加工することによって形成した片持ち梁構造、およびその製造方法について、図4~図6を用いて説明する。図4~図6は本実施例の片持ち梁構造を示す斜視図である。

【0039】図4、図5、図6は、それぞれ、第1実施例で示したダイヤフラム構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子、第2実施例で示した中空構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子、第3実施例で示した中空構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子を示す。本実施例では、イオンエッチング法を用いて、一回の加工で不要部分の薄膜積層体6を除去し、片持ち梁構造を形成した。

【0040】なお、片持ち梁構造の加工方法は本実施例のものには限定されず、第1実施例~第3実施例の薄膜積層体6のエッチング工程において、各層を本実施例の形状に加工してもよい。

【0041】また、上記片持ち梁構造と同様の加工方法を用いて、両持ち梁構造や四点支持梁構造を形成することもできる。

【0042】上記第1~第4実施例において形成された強誘電体薄膜素子は、加速度センサや赤外線センサ等の各種センサに用いられるだけでなく、薄膜コンデンサやマイクロアクチュエータ等の様々な電子部品への応用が広がるものと考えられる。

【0043】

【発明の効果】このように本発明では、半導体基板であるSi基板上にバッファ層を形成することによって、これらのバッファ層を介して金属薄膜と強誘電体薄膜を順次、配向またはエピタキシャル成長させることができた。そして、各種エッチング技術を用いてSi基板やバッファ層を部分的に除去し、ダイヤフラム構造や、中空構造、片持ち梁構造を形成することによって、小型で優れた性能を有し、かつ、安価で加工が容易な強誘電体薄膜

素子を形成することができた。

【図面の簡単な説明】

【図1】本発明の第1実施例におけるダイヤフラム構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【図2】本発明の第2実施例における中空構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【図3】本発明の第3実施例における中空構造を有する強誘電体薄膜素子の製造方法を示す工程断面図である。

【図4】第1実施例で示したダイヤフラム構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子を示す斜視図である。

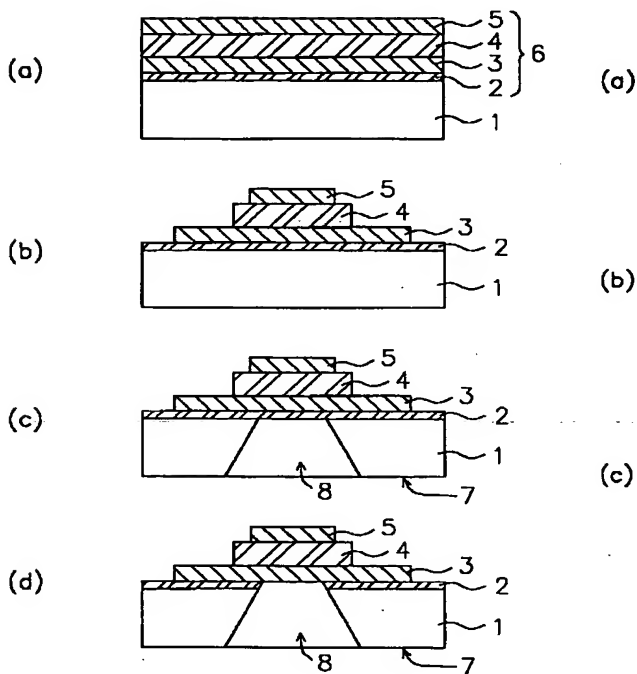
*【図5】第2実施例で示した中空構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子を示す斜視図である。

【図6】第3実施例で示した中空構造を有する強誘電体薄膜素子をさらに加工した強誘電体薄膜素子を示す斜視図である。

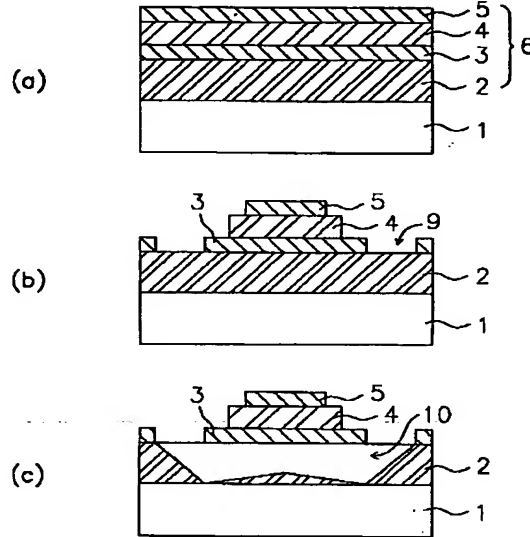
【符号の説明】

- 1 Si基板
- 2 バッファ層
- 3 下部電極
- 4 強誘電体薄膜
- 5 上部電極

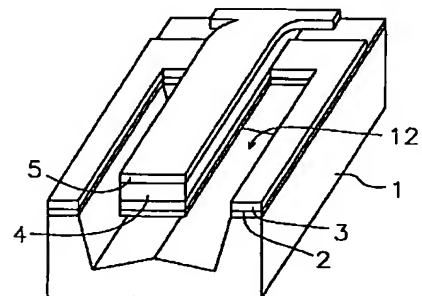
【図1】



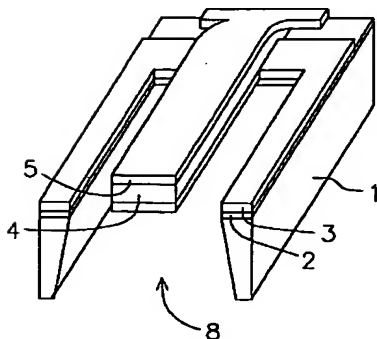
【図2】



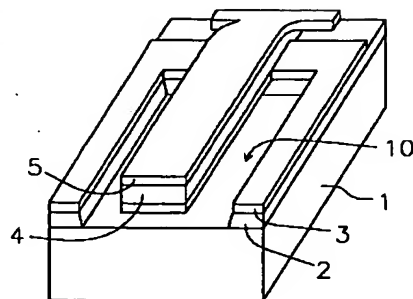
【図6】



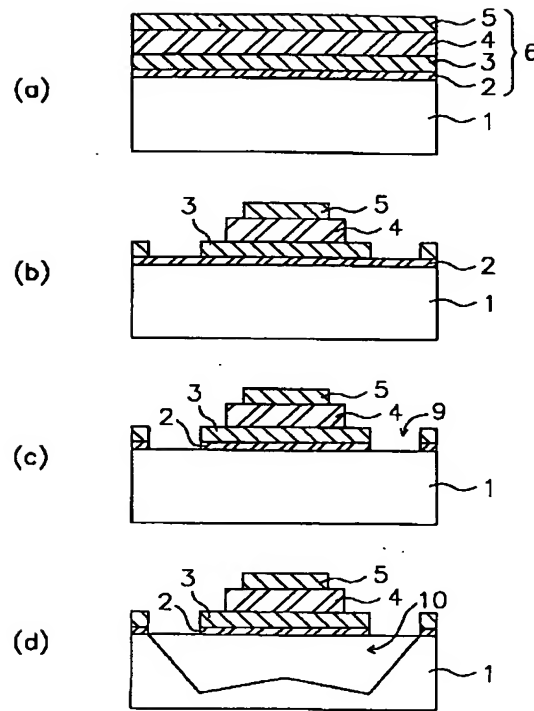
【図4】



【図5】



【図3】



フロントページの続き

(51)Int.Cl.⁷

H01L 41/22

識別記号

F I

H01L 41/18

41/22

テーマコード (参考)

101Z

Z